

(19)



JAPANESE PATENT OFFICE

hm
09/973502

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10213633 A**

(43) Date of publication of application: **11.08.98**

(51) Int. Cl.

G01R 31/28
G01R 31/3185
H01L 21/66
H05K 13/08

(21) Application number: **09018265**

(22) Date of filing: **31.01.97**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **SUGANO YUKIO**

(54) **SEMICONDUCTOR INTEGRATED CIRCUIT
ELEMENT AND ITS MOUNTING CONFIRMATION
TEST METHOD**

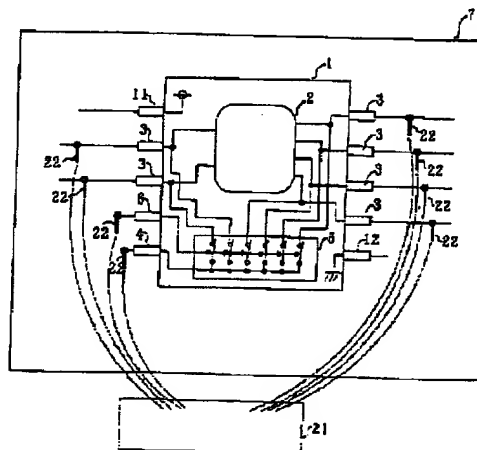
board 7 is tested.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To perform a mounting confirmation test easily at low cost, with no function test pattern required for an in-circuit tester.

SOLUTION: A semiconductor integrated circuit element 1 comprises a test signal-dedicated external terminal 4, a switch circuit 5, and a control signal external terminal 6. The operation of the switch circuit 5 is controlled with the control signal inputted from the control signal external terminal 6, and the switch circuit 5 controls continuity/non-continuity between a circuit operation signal external terminal 3 and the test signal-dedicated external terminal 4. With the circuit operation signal external terminal 3 and the test signal-dedicated external terminal 4 electrically connected together, a test signal is inputted from the test signal-dedicated external terminal 4, and with the test signal, the connection state between the circuit operation signal external terminal 3 and the terminal of a printed wiring



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-213633

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.⁶

識別記号

F I

G 0 1 R 31/28
31/3185
H 0 1 L 21/66
H 0 5 K 13/08

G 0 1 R 31/28 V
H 0 1 L 21/66 R
H 0 5 K 13/08 B
G 0 1 R 31/28 W

審査請求 有 請求項の数11 O L (全 14 頁)

(21) 出願番号 特願平9-18265
(22) 出願日 平成9年(1997) 1月31日

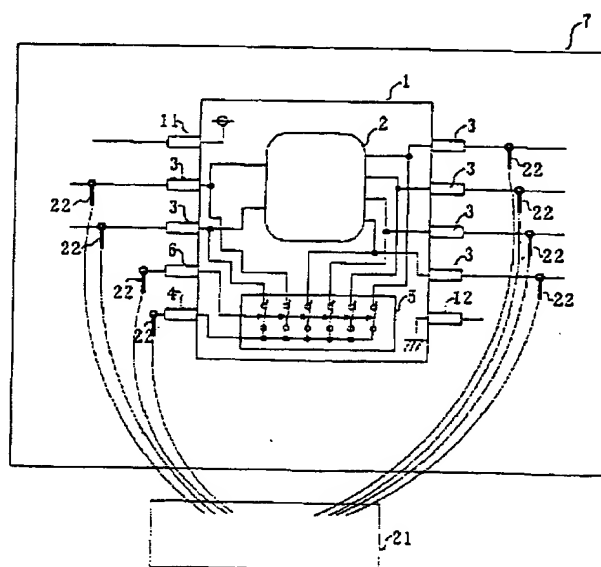
(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 菅野 幸男
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 半導体集積回路素子及びその実装確認試験方法

(57) 【要約】

【課題】 インサーキットテスト21に機能試験パターンを必要とせず、実装確認試験が簡易かつ安価に実施できる半導体集積回路素子1の提供及び実装確認試験方法の提供。

【解決手段】 半導体集積回路素子1に、テスト信号専用外部端子4、スイッチ回路5及び制御信号用外部端子6を備える。制御信号用外部端子6から入力される制御信号によりスイッチ回路5の動作が制御され、このスイッチ回路5により回路動作信号用外部端子3とテスト信号専用外部端子4との間の導通及び非導通が制御される。回路動作信号用外部端子3とテスト信号専用外部端子4との間が電氣的に接続された状態でテスト信号専用外部端子4からテスト信号が入力され、このテスト信号により回路動作信号用外部端子3とプリント配線基板7の端子との間の接続状態の試験が実施される。



7 プリント配線基板
21 インサーキットテスト
22 プローブピン

【特許請求の範囲】

【請求項 1】 回路動作信号用外部端子と内部集積回路との間が電氣的に接続された半導体集積回路素子において、

前記半導体集積回路素子を実装する配線基板の端子と前記回路動作信号用外部端子との間の電氣的接続状態を試験するためのテスト信号専用外部端子と、

前記回路動作信号用外部端子と前記テスト信号専用外部端子との間の接続及び非接続を行うスイッチ回路と、

前記スイッチ回路の接続及び非接続を制御する制御信号が入力される制御信号用外部端子と、

を備え、

前記制御信号用外部端子から入力される制御信号により前記スイッチ回路を介して前記回路動作信号用外部端子と前記テスト信号専用外部端子との間を電氣的に接続し、前記テスト信号専用外部端子から入力されるテスト信号により前記回路動作信号用外部端子と配線基板の端子との間の接続状態の試験を行うことを特徴とする半導体集積回路素子。

【請求項 2】 前記回路動作信号用外部端子と配線基板の端子との間の接続状態の試験は、

前記回路動作信号用外部端子と配線基板の端子との間を電氣的かつ機械的に接合する半田の接合状態の試験であることを特徴とする請求項 1 に記載の半導体集積回路素子。

【請求項 3】 前記スイッチ回路は、

前記制御信号用外部端子から制御信号が入力されない状態のときに回路動作信号用外部端子とテスト信号専用外部端子との間を接続状態に維持し、

前記制御信号用外部端子から制御信号が入力された状態のときに回路動作信号用外部端子とテスト信号専用外部端子との間を非接続状態に維持することを特徴とする請求項 1 に記載の半導体集積回路素子。

【請求項 4】 前記制御信号用外部端子には電源用外部端子が使用され、

前記スイッチ回路は、前記制御信号用外部端子から制御信号としての電源電圧が入力されない状態のときに回路動作信号用外部端子とテスト信号専用外部端子との間を接続状態に維持し、前記制御信号用外部端子から制御信号としての電源電圧が入力された状態のときに回路動作信号用外部端子とテスト信号専用外部端子との間を非接続状態に維持することを特徴とする請求項 3 に記載の半導体集積回路素子。

【請求項 5】 複数の回路動作信号用外部端子と内部集積回路との間が電氣的に接続された半導体集積回路素子において、

前記半導体集積回路素子を実装する配線基板の複数の端子と前記複数の回路動作信号用外部端子との間の個々の電氣的接続状態を試験し、かつ複数の回路動作信号用外部端子に対して共通端子として配設されたテスト信号専

用外部端子と、

前記複数の回路動作信号用外部端子のそれぞれと前記テスト信号専用外部端子との間の個々の接続及び個々の非接続を行うスイッチ回路と、

前記スイッチ回路の個々の接続及び個々の非接続を制御するスイッチ制御回路と、

前記スイッチ制御回路に前記スイッチ回路の個々の接続及び個々の非接続を制御する制御信号を入力する制御信号用外部端子と、

を備え、

前記制御信号用外部端子からスイッチ制御回路に入力される制御信号により前記スイッチ回路を介して特定の回路動作信号用外部端子と前記テスト信号専用外部端子との間を接続し、前記テスト信号専用外部端子から入力されるテスト信号により特定の回路動作信号用外部端子と配線基板の特定の端子との間の接続状態の試験を行うことを特徴とする半導体集積回路素子。

【請求項 6】 前記特定の回路動作信号用外部端子とこの特定の回路動作信号用外部端子に隣接する他の回路動作信号用外部端子との間の短絡試験を行うことを特徴とする請求項 5 に記載の半導体集積回路素子。

【請求項 7】 前記半導体集積回路素子が複数の配線基板に実装されたことを特徴とする請求項 5 又は請求項 6 に記載の半導体集積回路素子。

【請求項 8】 半導体集積回路素子の内部集積回路に電氣的に接続された回路動作信号用外部端子と前記半導体集積回路素子を実装する配線基板の端子との間の接続状態を試験する実装確認試験方法において、

前記半導体集積回路素子にテスト信号専用外部端子を備え、

前記テスト信号専用外部端子と回路動作信号用外部端子との間を電氣的に接続した状態で、内部集積回路を介在せずに、前記テスト信号専用外部端子から回路動作信号用外部端子にテスト信号を供給し、

前記回路動作信号用外部端子と配線基板の端子との間の電氣的な接続状態を試験することを特徴とする半導体集積回路素子の実装確認試験方法。

【請求項 9】 前記テスト信号専用外部端子と回路動作信号用外部端子との間は、前記配線基板に電源電圧が供給されない状態において、電氣的に接続されることを特徴とする請求項 8 に記載の半導体集積回路素子の実装確認試験方法。

【請求項 10】 半導体集積回路素子の内部集積回路に電氣的に接続された複数の回路動作信号用外部端子と前記半導体集積回路素子を実装する配線基板の複数の端子との間の個々の接続状態を試験する実装確認試験方法において、

前記半導体集積回路素子にテスト信号専用外部端子を備え、

前記テスト信号専用外部端子と選択された特定の回路動

作信号用外部端子との間を電氣的に接続した状態で、内部集積回路を介在せずに、前記テスト信号専用外部端子から特定の回路動作信号用外部端子にテスト信号を供給し、前記特定の回路動作信号用外部端子と配線基板の端子との間の電氣的な接続状態を試験するとともに、前記特定の回路動作信号用外部端子とこの特定の回路動作信号用外部端子に隣接する非選択の他の回路動作信号用外部端子との間の電氣的な絶縁状態を試験することを特徴とする半導体集積回路素子の実装確認試験方法。

【請求項 1 1】 前記配線基板に複数個の半導体集積回路素子の実装された半導体集積回路素子の実装確認試験方法において、

一方の半導体集積回路素子の回路動作信号用外部端子とテスト信号専用外部端子との間を電氣的に接続し、前記一方の半導体集積回路素子の回路動作信号用外部端子と他方の半導体集積回路素子の回路動作信号用外部端子との間を接続するとともに、前記他方の半導体集積回路素子の回路動作信号用外部端子とテスト信号専用外部端子との間を電氣的に接続した状態で、内部集積回路を介在せずに、前記一方の半導体集積回路素子のテスト信号専用外部端子から前記他方の半導体集積回路素子のテスト信号専用外部端子にテスト信号を供給し、

前記複数個の半導体集積回路素子の回路動作信号用外部端子と配線基板の端子との間の電氣的な接続状態を試験することを特徴とする請求項 8 に記載の半導体集積回路素子の実装確認試験方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は半導体集積回路素子及びその実装確認試験方法に関する。特に本発明は、半導体集積回路素子の外部端子と前記半導体集積回路素子を実装する配線基板の端子との間の接続状態（実装状態）が簡易に試験できる半導体集積回路素子、及びこの半導体集積回路素子の具体的な実装確認試験方法に関する。

【0 0 0 2】

【従来の技術】 I C、 L S I 等の半導体集積回路素子はプリント配線基板に実装され、この半導体集積回路素子を実装したプリント配線基板は基板回路装置を構成する。プリント配線基板に半導体集積回路素子を実装した後には、正しく実装されたか否かの実装確認試験が行われる。

【0 0 0 3】 図 1 1 は従来技術に係る一般的な半導体集積回路素子の構成図であり、図 1 2 はプリント配線基板に半導体集積回路素子を実装した後に行われる実装確認試験を説明する構成図である。図 1 1 に示すように、半導体集積回路素子 1 はパッケージ内部に内部集積回路 2 を備える。半導体集積回路素子 1 のパッケージ外部には、入力外部端子、出力外部端子若しくは入出力外部端子のいずれかに使用される回路動作信号用外部端子 3 1

ー 3 8、電源用外部端子 1 1 及びグランド用外部端子 1 2 が配設される。この半導体集積回路素子 1 は図 1 2 に示すようにプリント配線基板 7 の表面上に実装される。この実装は、プリント配線基板 7 に複数配設された端子（図示しない）に半導体集積回路素子 1 の回路動作信号用外部端子 3 1 - 3 8、電源用外部端子 1 1、グランド用外部端子 1 2 のそれぞれを電氣的かつ機械的に接合することにより行われる。電氣的かつ機械的な接合には半田が使用される。

【0 0 0 4】 図 1 2 に示す半導体集積回路素子 1 の実装確認試験にはインサーキットテスト 2 1 が使用され、いわゆる半田ブリッジによる短絡不良の実装確認試験が実施できる。この実装確認試験は、インサーキットテスト 2 1 のプローブピン 2 2 をプリント配線基板 7 の端子に電氣的に接続された配線パターンに接触させ、半導体集積回路素子 1 の例えば隣接配置される回路動作信号用外部端子 3 1 と 3 2 との間の抵抗値を測定することにより実施される。

【0 0 0 5】 また、インサーキットテスト 2 1 には半導体集積回路素子 1 に個別の機能試験を行う機能試験パターン 2 3 が内蔵される。この機能確認試験は、機能試験パターン 2 3 から出力されるテスト信号を例えば回路動作信号用外部端子（入力外部端子） 3 1 に入力し、このテスト信号により例えば回路動作信号用外部端子（出力外部端子） 3 8 から出力される信号波形を観測し、出力される信号波形と予め設定された期待値との比較により内部集積回路 2 の回路機能を試験するものである。機能確認試験により、半導体集積回路素子 1 のオープン端子の誤り、半導体集積回路素子 1 の実装方向の誤り等の修正が実施できる。

【0 0 0 6】 図 1 3 は特開平 2 - 1 4 7 8 6 9 号公報に開示された半導体集積回路素子（ I C 素子）及びこの半導体集積回路素子の実装確認試験方法を説明する構成図である。図 1 3 に示すように、半導体集積回路素子 1 にはテスト専用測定端子 4 2、4 3 及びこのテスト専用測定端子 4 2 と 4 3 との間を短絡するショート回路 1 3 を備える。インサーキットテスト 2 1 のプローブピン 2 2 はテスト専用測定端子 4 2、4 3 のそれぞれに接触し、インサーキットテスト 2 1 のプローブピン 2 2 はショート回路 1 3 を介してテスト専用測定端子 4 2 と 4 3 との間の短絡状態を確認する。この実装確認試験方法においては、テスト専用測定端子 4 2 と 4 3 との間が短絡されていれば実装方向に誤りがないことを、短絡されていなければ実装方向に誤りがあることをそれぞれ判断でき、半導体集積回路素子 1 の実装方向の誤りが確認できる。

【0 0 0 7】

【発明が解決しようとする課題】 従来技術に係る実装確認試験においては、半導体集積回路素子 1 の回路動作信号用外部端子のオープンの誤り、実装方向の誤りはインサーキットテスト 2 1 に搭載する機能試験パターン 2 3

で行っている。このため、半導体集積回路素子 1 毎に個別の基板回路装置に即した機能試験パターン 23 が必要であり、機能試験パターン 23 の作成に多大な時間と労力とを要し、実装確認試験コストが増大するという問題があった。

【0008】さらに、近年の半導体集積回路素子 1 の内部集積回路 2 は高集積化で回路構成が複雑になり、半導体集積回路素子 1 毎に回路構成が微細で複雑な内部集積回路 2 に対応する機能試験パターン 23 の作成が困難になりつつある。機能試験パターン 23 が作成できない場合には、実装確認試験が実行できないばかりか、基板回路装置そのものの品質が低下するという問題が生じる。

【0009】さらに、プリント配線基板 7 に実装された半導体集積回路素子 1 の機能確認試験を実施するには、プリント配線基板 7 に電源電圧の印加、グランドの接続が必要である。プリント配線基板 7 に複数の半導体集積回路素子 1 が実装され、個別に半導体集積回路素子 1 の実装確認試験を実施するには、一方の半導体集積回路素子 1 の実装確認試験中に実装確認試験が実施されない他方の半導体集積回路素子 1 の出力を停止状態に維持する必要がある、複雑な制御が必要になる。他方の半導体集積回路素子 1 の出力の停止の制御を間違えた場合には、実装確認試験中の一方の半導体集積回路素子 1 がオーバドライブ状態になり損傷、破壊するという問題が生じる。

【0010】さらに、プリント配線基板 7 に複数の半導体集積回路素子 1 が実装され実装されたすべての半導体集積回路素子 1 の実装確認試験を実施する場合には、半導体集積回路素子 1 の実装数に対応した複数のプローブピン 22 が必要になる。このため、プローブピン 22 の増加に伴いインサーキットテスト 21 の製作コストが増大するので、実装確認試験のコストが増大するという問題があった。

【0011】本発明は上記課題を解決するためになされたものである。従って、本発明は、第 1 に、インサーキットテストに機能試験パターンを必要とせず、実装確認試験が簡易かつ安価に実施できる半導体集積回路素子の提供を目的とする。本発明は、第 2 に、インサーキットテストに機能試験パターンを必要とせず、実装確認試験が簡易、安価かつ高品質で実施できる半導体集積回路素子の実装確認試験方法の提供を目的とする。本発明は、第 3 に、複数の半導体集積回路素子を実装する配線基板への電源の印加を必要とせず、オーバドライブによる半導体集積回路素子の損傷、破壊が防止できる半導体集積回路素子の実装確認試験方法の提供を目的とする。さらに、本発明は、第 4 に、インサーキットテストのプローブピンを削減し、インサーキットテストの製作コストを削減することにより、実装確認試験コストを減少できる半導体集積回路素子の実装確認試験方法の提供を目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するために、請求項 1 に記載された発明は、回路動作信号用外部端子と内部集積回路との間が電気的に接続された半導体集積回路素子において、前記半導体集積回路素子を実装する配線基板の端子と前記回路動作信号用外部端子との間の電気的接続状態を試験するためのテスト信号専用外部端子と、前記回路動作信号用外部端子と前記テスト信号専用外部端子との間の接続及び非接続を行うスイッチ回路と、前記スイッチ回路の接続及び非接続を制御する制御信号が入力される制御信号用外部端子と、を備え、前記制御信号用外部端子から入力される制御信号により前記スイッチ回路を介して前記回路動作信号用外部端子と前記テスト信号専用外部端子との間を電気的に接続し、前記テスト信号専用外部端子から入力されるテスト信号により前記回路動作信号用外部端子と配線基板の端子との間の接続状態の試験を行うものである。

【0013】請求項 2 に記載された発明は、請求項 1 に記載の半導体集積回路素子において前記回路動作信号用外部端子と配線基板の端子との間の接続状態の試験を、前記回路動作信号用外部端子と配線基板の端子との間を電気的かつ機械的に接合する半田の接合状態の試験とするものである。

【0014】請求項 3 に記載された発明は、請求項 1 に記載の半導体集積回路素子において、前記スイッチ回路が、前記制御信号用外部端子から制御信号が入力されない状態のときに回路動作信号用外部端子とテスト信号専用外部端子との間を接続状態に維持し、前記制御信号用外部端子から制御信号が入力された状態のときに回路動作信号用外部端子とテスト信号専用外部端子との間を非接続状態に維持するものである。

【0015】請求項 4 に記載された発明は、請求項 3 に記載の半導体集積回路素子において、前記制御信号用外部端子には電源用外部端子が使用され、前記スイッチ回路は、前記制御信号用外部端子から制御信号としての電源電圧が入力されない状態のときに回路動作信号用外部端子とテスト信号専用外部端子との間を接続状態に維持し、前記制御信号用外部端子から制御信号としての電源電圧が入力された状態のときに回路動作信号用外部端子とテスト信号専用外部端子との間を非接続状態に維持するものである。

【0016】請求項 5 に記載された発明は、複数の回路動作信号用外部端子と内部集積回路との間が電気的に接続された半導体集積回路素子において、前記半導体集積回路素子を実装する配線基板の複数の端子と前記複数の回路動作信号用外部端子との間の個々の電気的接続状態を試験し、かつ複数の回路動作信号用外部端子に対して共通端子として配設されたテスト信号専用外部端子と、前記複数の回路動作信号用外部端子のそれぞれと前記テスト信号専用外部端子との間の個々の接続及び個々の非

接続を行うスイッチ回路と、前記スイッチ回路の個々の接続及び個々の非接続を制御するスイッチ制御回路と、前記スイッチ制御回路に前記スイッチ回路の個々の接続及び個々の非接続を制御する制御信号を入力する制御信号用外部端子と、を備え、前記制御信号用外部端子からスイッチ制御回路に入力される制御信号により前記スイッチ回路を介して特定の回路動作信号用外部端子と前記テスト信号専用外部端子との間を接続し、前記テスト信号専用外部端子から入力されるテスト信号により特定の回路動作信号用外部端子と配線基板の特定の端子との間の接続状態の試験を行うものである。

【0017】請求項6に記載された発明は、請求項5に記載の半導体集積回路素子において、前記特定の回路動作信号用外部端子とこの特定の回路動作信号用外部端子に隣接する他の回路動作信号用外部端子との間の短絡試験を行うものである。

【0018】請求項7に記載された発明は、請求項5又は請求項6に記載の半導体集積回路素子において、前記半導体集積回路素子が複数個配線基板に実装されたものである。

【0019】請求項8に記載された発明は、半導体集積回路素子の内部集積回路に電気的に接続された回路動作信号用外部端子と前記半導体集積回路素子を実装する配線基板の端子との間の接続状態を試験する実装確認試験方法において、前記半導体集積回路素子にテスト信号専用外部端子を備え、前記テスト信号専用外部端子と回路動作信号用外部端子との間を電気的に接続した状態で、内部集積回路を介せず、前記テスト信号専用外部端子から回路動作信号用外部端子にテスト信号を供給し、前記回路動作信号用外部端子と配線基板の端子との間の電気的な接続状態を試験するものである。

【0020】請求項9に記載された発明は、請求項8に記載の半導体集積回路素子の実装確認試験方法において、前記テスト信号専用外部端子と回路動作信号用外部端子との間は、前記配線基板に電源電圧が供給されない状態において、電気的に接続されるものである。

【0021】請求項10に記載された発明は、半導体集積回路素子の内部集積回路に電気的に接続された複数の回路動作信号用外部端子と前記半導体集積回路素子を実装する配線基板の複数の端子との間の個々の接続状態を試験する実装確認試験方法において、前記半導体集積回路素子にテスト信号専用外部端子を備え、前記テスト信号専用外部端子と選択された特定の回路動作信号用外部端子との間を電気的に接続した状態で、内部集積回路を介せず、前記テスト信号専用外部端子から特定の回路動作信号用外部端子にテスト信号を供給し、前記特定の回路動作信号用外部端子と配線基板の端子との間の電気的な接続状態を試験するとともに、前記特定の回路動作信号用外部端子とこの特定の回路動作信号用外部端子に隣接する非選択の他の回路動作信号用外部端子との間

の電気的な絶縁状態を試験するものである。

【0022】請求項11に記載された発明は、前記配線基板に複数個の半導体集積回路素子が実装された請求項8に記載の半導体集積回路素子の実装確認試験方法において、一方の半導体集積回路素子の回路動作信号用外部端子とテスト信号専用外部端子との間を電気的に接続し、前記一方の半導体集積回路素子の回路動作信号用外部端子と他方の半導体集積回路素子の回路動作信号用外部端子との間を接続するとともに、前記他方の半導体集積回路素子の回路動作信号用外部端子とテスト信号専用外部端子との間を電気的に接続した状態で、内部集積回路を介せず、前記一方の半導体集積回路素子のテスト信号専用外部端子から前記他方の半導体集積回路素子のテスト信号専用外部端子にテスト信号を供給し、前記複数個の半導体集積回路素子の回路動作信号用外部端子と配線基板の端子との間の電気的な接続状態を試験するものである。

【0023】

【発明の実施の形態】

実施の形態1

以下、本発明の実施の形態について説明する。図1は本発明の実施の形態1に係る半導体集積回路素子の構成図である。図1に示すように、実施の形態1に係る半導体集積回路素子1は、パッケージ内部に内部集積回路2及びスイッチ回路5を備え、パッケージ外部に複数の回路動作信号用外部端子（外部リード）3、電源用外部端子11、グランド用外部端子12、テスト信号専用外部端子4、制御信号用外部端子6を備える。

【0024】前記複数の回路動作信号用外部端子3はそれぞれ内部集積回路2に電気的に接続され、この回路動作信号用外部端子3は内部集積回路2への動作信号を入力する、又は内部集積回路2からの動作信号を出力する端子として使用される。電源用外部端子11には電源電圧が印加され、グランド用外部端子12にはグランド電位が印加される。

【0025】前記テスト信号専用外部端子4には、回路動作信号用外部端子3と半導体集積回路素子1が実装されるプリント配線基板（図2の符号7参照）の端子（図示しない）との間の電気的接続状態を試験するテスト信号が印加される。テスト信号専用外部端子4は複数の回路動作信号用外部端子3に対して共通の端子として1本設けられ、このテスト信号専用外部端子4はスイッチ回路5を介して複数の回路動作信号用外部端子3のそれぞれに電気的に接続される。

【0026】スイッチ回路5は、テスト信号専用外部端子4と複数の回路動作信号用外部端子3のそれぞれとの間の接続及び非接続を行い、双方の間の接続及び非接続を行う複数の並列接続された複数個のスイッチングトランジスタで構成される。スイッチ回路5、つまりスイッチ回路5に配列された複数のスイッチングトランジスタ

の接続及び非接続は制御信号用外部端子 6 から印加される制御信号により制御される。スイッチ回路 5 は、内部集積回路 2 と同一の半導体チップに、又内部集積回路 2 とは別の半導体チップに形成され、内部集積回路 2 とともに同一パッケージ内部に封止される。

【0027】図 2 はプリント配線基板に半導体集積回路素子を実装した後に行われる実装確認試験を説明する構成図である。図 2 に示すように、半導体集積回路素子 1 はプリント配線基板 7 に実装される。半導体集積回路素子 1 の複数の回路動作信号用外部端子 3、電源用外部端子 11、グランド用外部端子 12、テスト信号専用外部端子 4、制御信号用外部端子 6 のそれぞれは個々にプリント配線基板 7 の図示しない端子に電気的に接続される。この電気的な接続は半田により機械的な接続も兼ねる。

【0028】プリント配線基板 7 に実装された半導体集積回路素子 1 においてはインサーキットテスト 21 により実装確認試験が実施される。インサーキットテスト 21 はプローブピン 22 を備える。このプローブピン 22 は半導体集積回路素子 1 の回路動作信号用外部端子 3、テスト信号専用外部端子 4 等には直接接触させずにプリント配線基板 7 の端子又は配線パターン、具体的にはプリント配線基板 7 に形成されたテスト専用ランド、部品取り付けランド等に接触させる。

【0029】次に、上記プリント配線基板 7 に実装された半導体集積回路素子 1 の実装確認試験方法について、図 2 を参照し説明する。まず、インサーキットテスト 21 からプローブピン 22 を通して半導体集積回路素子 1 の制御信号用外部端子 6 にスイッチ回路 5 を接続状態に維持する制御信号を供給する。この制御信号によりスイッチ回路 5 の複数のスイッチングトランジスタは導通状態（オン状態）に保持され、複数の回路動作信号用外部端子 3 のそれぞれとテスト信号専用外部端子 4 との間が電気的に接続される。

【0030】この複数の回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間が接続された状態において、インサーキットテスト 21 の 1 本のプローブピン 22 を 1 つの回路動作信号用外部端子 3 に、他の 1 本のプローブピン 22 をテスト信号専用外部端子 4 にそれぞれ接触させ、この回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間において短絡試験を行う。引き続き、同様な手法により他のすべての回路動作信号用外部端子 3 のそれぞれとテスト信号専用外部端子 4 との間において個々に短絡試験を行う。

【0031】この短絡試験により、半導体集積回路素子 1 のすべての回路動作信号用外部端子 3 のそれぞれとテスト信号専用外部端子 4 との間がすべて電気的に導通していることが確認できれば、半導体集積回路素子 1 がプリント配線基板 7 に正しく実装されていることが判断できる。すなわち、半田接合不良がなく、半導体集積回路

素子 1 の回路動作信号用外部端子 3 とプリント配線基板 7 の端子との間が電気的かつ機械的に確実に接続されていることが確認され、実装確認試験が終了する。逆に、半導体集積回路素子 1 の 1 つの回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間の短絡が確認できない場合には、半田接合不良が発生し、半導体集積回路素子 1 が正しくプリント配線基板 7 に実装されていないことが判断できる。この実装不良と判断された基板回路装置は、半田接合不良箇所を修復するか、又は基板回路装置自体を不良品として排除する。

【0032】このように構成される半導体集積回路素子 1 及びこの半導体集積回路素子 1 をプリント配線基板 7 に実装した基板回路装置においては、半導体集積回路素子 1 にテスト信号専用外部端子 4、スイッチ回路 5 及び制御信号用外部端子 6 を備え、インサーキットテスト 21 から制御信号用外部端子 6 に制御信号を供給するだけで実装確認試験が実施できる。この結果、半導体集積回路素子 1 毎に個別の基板回路装置に即した機能試験パターンの必要がなくなり、機能試験パターンの作成に要した時間と労力が減少できるので、実装確認試験コストが低減できる。

【0033】さらに、プリント配線基板 7 に実装された半導体集積回路素子 1 の機能確認試験を実施する際に、プリント配線基板 7 に電源電圧の印加、グランドの接続が必要なくなる。この結果、プリント配線基板 7 に複数の半導体集積回路素子 1 が実装され、個別に半導体集積回路素子 1 の実装確認試験を実施する際に、実装確認試験中の半導体集積回路素子 1 がオーバドライブ状態にならないので、半導体集積回路素子 1 の損傷、破壊がなくなり、安全な実装確認試験が実施できる。

【0034】実施の形態 2

本実施の形態 2 に係る半導体集積回路素子 1 は、スイッチ回路 5 の制御方式を代えた場合について説明する。図 3 は本発明の実施の形態 2 に係る半導体集積回路素子の構成図、図 4 はプリント配線基板に半導体集積回路素子を実装した後に行われる実装確認試験を説明する構成図である。図 3 に示すように、本実施の形態に係る半導体集積回路素子 1 は、スイッチ回路 5 を電源用外部端子 11 に接続するとともに、電源用外部端子 11 に電源電圧が印加されないときにスイッチ回路 5 が接続状態に維持され電源電圧が印加されたときにスイッチ回路 5 が非接続状態に維持される。つまり、前述の実施の形態 1 に係る半導体集積回路素子の制御信号用外部端子 6 の機能を電源用外部端子 11 が持ち、電源用外部端子 11 は回路動作中は電源電圧の供給端子として使用され実装確認試験中は制御信号用外部端子として使用される。結果的に、電源用外部端子 11 は電源電圧の供給機能と制御信号の供給機能とを合わせ持つので、制御信号用外部端子（前述の図 1 及び図 2 に示す符号 6）が廃止できる。

【0035】次に、上記プリント配線基板 7 に実装され

た半導体集積回路素子 1 の実装確認試験方法について、図 4 を参照し説明する。まず、インサーキットテスト 21 からプローブピン 22 を通して半導体集積回路素子 1 の電源用外部端子 11 に印加する電源電圧の供給を停止する。この電源電圧の供給の停止によりスイッチ回路 5 の複数のスイッチングトランジスタは導通状態に保持され、複数の回路動作信号用外部端子 3 のそれぞれとテスト信号専用外部端子 4 との間が電氣的に接続される。

【0036】この複数の回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間が接続された状態において、インサーキットテスト 21 の 1 本のプローブピン 22 を 1 つの回路動作信号用外部端子 3 に、他の 1 本のプローブピン 22 をテスト信号専用外部端子 4 にそれぞれ接触させ、この回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間において短絡試験を行う。引き続き、同様な手法により他のすべての回路動作信号用外部端子 3 のそれぞれとテスト信号専用外部端子 4 との間において個々に短絡試験を行う。

【0037】この短絡試験により、半導体集積回路素子 1 のすべての回路動作信号用外部端子 3 のそれぞれとテスト信号専用外部端子 4 との間がすべて電氣的に導通していることが確認できれば、半導体集積回路素子 1 がプリント配線基板 7 に正しく実装されていることが判断できる。すなわち、半田接合不良がなく、半導体集積回路素子 1 の回路動作信号用外部端子 3 とプリント配線基板 7 の端子との間が電氣的かつ機械的に確実に接続されていることが確認され、実装確認試験が終了する。逆に、半導体集積回路素子 1 の 1 つの回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間の短絡が確認できない場合には、半田接合不良が発生し、半導体集積回路素子 1 が正しくプリント配線基板 7 に実装されていないことが判断できる。この実装不良と判断された基板回路装置は、半田接合不良箇所を修復するか、又は基板回路装置自体を不良品として排除する。

【0038】このように構成される半導体集積回路素子 1 及びこの半導体集積回路素子 1 をプリント配線基板 7 に実装した基板回路装置においては、半導体集積回路素子 1 のスイッチ回路 5 と電源用外部端子 11 との間を電氣的に接続し、前記スイッチ回路 5 に電源電圧が供給されないうちにスイッチ回路 5 により回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間が電氣的に接続される。この結果、スイッチ回路 5 への電源電圧の供給を停止するだけで実装確認試験が実施でき、半導体集積回路素子 1 毎に個別の基板回路装置に即した機能試験パターンの必要がなくなり、機能試験パターンの作成に要した時間と労力が減少できるので、実装確認試験コストが低減できる。

【0039】さらに、プリント配線基板 7 に電源電圧の印加、グラウンドの接続を行わずにプリント配線基板 7 に実装された半導体集積回路素子 1 の機能確認試験が実施

できる。この結果、プリント配線基板 7 に複数の半導体集積回路素子 1 が実装され、個別に半導体集積回路素子 1 の実装確認試験を実施する際に、実装確認試験中の半導体集積回路素子 1 がオーバドライブ状態にならないので、半導体集積回路素子 1 の損傷、破壊がなくなり、安全な実装確認試験が実施できる。

【0040】実施の形態 3

本実施の形態 3 は、前述の実施の形態 1 に係る半導体集積回路素子 1 において、スイッチ回路 5 の複数のスイッチングトランジスタを個別に制御する場合について説明する。図 5 は本発明の実施の形態 3 に係る半導体集積回路素子の構成図、図 6 はプリント配線基板に半導体集積回路素子を実装した後に行われる実装確認試験を説明する構成図である。図 5 及び図 6 に示すように、本実施の形態に係る半導体集積回路素子 1 は、複数個配列されたスイッチングトランジスタで形成されたスイッチ回路 5、このスイッチ回路 5 のそれぞれのスイッチングトランジスタを個別に制御するスイッチ制御回路 4 1 及びこのスイッチ制御回路 4 1 に制御信号を供給する制御信号用外部端子 6 を備える。

【0041】次に、上記プリント配線基板 7 に実装された半導体集積回路素子 1 の実装確認試験方法について、図 6 及び図 7 を参照し説明する。図 7 は実装確認試験方法の手順を説明するフローチャートである。

【0042】まず、図 6 において、プリント配線基板 7 に実装され実装確認試験を実施する半導体集積回路素子 1 の複数の回路動作信号用外部端子 3 1-36 (説明上、複数の回路動作信号用外部端子 3 にそれぞれ 1-6 までの符号を付加する。) のうち 1 つの回路動作信号用外部端子 3 1 を選択する (ステップ 51)。そして、この選択した回路動作信号用外部端子 3 1 に対応する制御信号を半導体集積回路素子 1 の設計情報から取り出す (ステップ 52)。この制御信号は、制御信号用外部端子 6 を通してスイッチ制御回路 4 1 に供給され、スイッチ回路 5 の複数のスイッチングトランジスタから特定のスイッチングトランジスタを選択するための信号である。図 8 は半導体集積回路素子の設計情報の内容を示す図である。図 8 に示すように、回路動作信号用外部端子 3 1 を選択した場合には、半導体集積回路素子の設計情報から制御信号「000001」が取り出される。この制御信号「000001」は回路動作信号用外部端子 3 1 とテスト信号専用外部端子 4 との間の導通及び非導通を行うスイッチングトランジスタの制御信号であり、この制御信号「000001」がスイッチングトランジスタに入力すると回路動作信号用外部端子 3 1 とテスト信号専用外部端子 4 との間が電氣的に導通する。

【0043】引き続き、インサーキットテスト 21 からプローブピン 22 を通してテスト信号専用外部端子 6 に前述の制御信号「000001」を印加する (ステップ 53)。この制御信号「000001」はスイッチ制御

回路 4 1 に入力され、スイッチ制御回路 4 1 はスイッチ回路 5 の回路動作信号用外部端子 3 1 とテスト信号専用外部端子 4 との間の導通及び非導通を行うスイッチングトランジスタを導通状態に維持する。この結果、回路動作信号用外部端子 3 1 とテスト信号専用外部端子 4 との間が電氣的に接続される。

【0044】引き続き、インサーキットテスト 2 1 のプローブピン 2 2 を回路動作信号用外部端子 3 1、テスト信号専用外部端子 4 のそれぞれに接触させ、インサーキットテスト 2 1 により回路動作信号用外部端子 3 1 とテスト信号専用外部端子 4 との間において短絡試験が実施される（ステップ 5 4）。この短絡試験においては、選択された回路動作信号用外部端子 3 1 とテスト信号専用外部端子 4 との間の電氣的な接続が確実になされているときにのみ半導体集積回路素子 1 が正しく実装されていると判断する（ステップ 5 5）。電氣的な接続がなされていない場合には不良メッセージを出力し（ステップ 5 6）、実装確認試験を実施している作業者にその旨を知らせる。

【0045】そして、回路動作信号用外部端子 3 1 の短絡試験が終了すると、残るすべての回路動作信号用外部端子 3 2-3 6 についても同様に短絡試験が実施され、すべての回路動作信号用外部端子 3 1-3 6 について短絡試験が終了すると、実装確認試験が終了する。

【0046】このように構成される半導体集積回路素子 1 及びこの半導体集積回路素子 1 をプリント配線基板 7 に実装した基板回路装置においては、スイッチ回路 5、このスイッチ回路 5 の複数のスイッチングトランジスタのうち特定のスイッチングトランジスタを選択するスイッチ制御回路 4 1 及びこのスイッチ制御回路 4 1 を制御する制御信号が印加される制御信号用外部端子 6 を備える。そして、半導体集積回路素子 1 の特定の回路動作信号用外部端子 3 に対応した制御信号をスイッチ制御回路 4 1 に入力し、このスイッチ制御回路 4 1 によりスイッチ回路 5 の特定のスイッチングトランジスタを導通状態に維持し、特定の回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間の短絡試験を行い、実装確認試験を実施する。この結果、半導体集積回路素子 1 毎に個別の基板回路装置に即した機能試験パターンの必要がなくなり、機能試験パターンの作成に要した時間と労力とが減少できるので、実装確認試験コストが低減できる。

【0047】さらに、実装確認試験において、選択された特定の回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間の短絡試験中に、特定の回路動作信号用外部端子 3 に隣接する非選択の他の回路動作信号用外部端子 3 にプローブピン 2 2 を接触させ電流又は電圧変化を検出することにより、半田ブリッジによる半田接合不良が確認できる。

【0048】実施の形態 4

本実施の形態 4 は、前述の実施の形態 3 に係る半導体集積回路素子 1 を複数個プリント配線基板 7 に実装し、この複数の半導体集積回路素子 1 の実装確認試験を実施する場合について説明する。図 9 は本発明の実施の形態 4 に係る半導体集積回路素子を複数個実装した後に行われる実装確認試験を説明する構成図である。図 9 に示すように、本実施の形態に係る基板回路装置はプリント配線基板 7 に複数個の半導体集積回路素子 1 a 及び 1 b が実装される。複数の半導体集積回路素子 1 a、1 b のそれぞれは実質的に同一構造で構成される。つまり、半導体集積回路素子 1 a、1 b はそれぞれ複数のスイッチングトランジスタが配列されたスイッチ回路 5、このスイッチ回路 5 の特定のスイッチングトランジスタの導通及び非導通を制御するスイッチ制御回路 4 1 及び制御信号用外部端子 6 を備える。

【0049】次に、上記プリント配線基板 7 に実装された半導体集積回路素子 1 の実装確認試験方法について、図 9 及び図 10 を参照し説明する。図 10 は実装確認試験方法の手順を説明するフローチャートである。

【0050】まず、図 9 において、プリント配線基板 7 に実装され実装確認試験を実施する一方の半導体集積回路素子 1 a の複数の回路動作信号用外部端子 3 1-3 6 のうち 1 つの回路動作信号用外部端子 3 1 を選択する（ステップ 6 1）。そして、この一方の半導体集積回路素子 1 a の選択された回路動作信号用外部端子 3 1 が、同様の実装確認試験が実施できる他方の半導体集積回路素子 1 b の回路動作信号用外部端子 3 に接続されているか否かを確認する（ステップ 6 2）。この接続の確認は基板回路装置の設計情報により行われる。

【0051】一方の半導体集積回路素子 1 a の回路動作信号用外部端子 3 1 が他方の半導体集積回路素子 1 b の回路動作信号用外部端子 3 に接続されていない場合（ステップ 6 3）には、前述の実施の形態 3 において説明した実装確認試験と同様に、まず半導体集積回路素子 1 a の選択した回路動作信号用外部端子 3 1 に対応する制御信号を半導体集積回路素子 1 の設計情報から取り出す（ステップ 6 4）。前述の図 8 に示すように、回路動作信号用外部端子 3 1 を選択した場合には、半導体集積回路素子の設計情報から制御信号「000001」が取り出される。引き続き、インサーキットテスト 2 1 からプローブピン 2 2 を通してテスト信号専用外部端子 4 に前述の制御信号「000001」を印加する（ステップ 6 5）。この制御信号「000001」はスイッチ制御回路 4 1 に入力され、スイッチ制御回路 4 1 はスイッチ回路 5 の回路動作信号用外部端子 3 1 とテスト信号専用外部端子 4 との間の導通及び非導通を行うスイッチングトランジスタを導通状態に維持する。この結果、回路動作信号用外部端子 3 1 とテスト信号専用外部端子 4 との間が電氣的に接続される。引き続き、インサーキットテスト 2 1 のプローブピン 2 2 を回路動作信号用外部端子 3

1、テスト信号専用外部端子4のそれぞれに接触させ、インサーキットテスト21により回路動作信号用外部端子31とテスト信号専用外部端子4との間において短絡試験が実施される(ステップ66)。この短絡試験においては、選択された回路動作信号用外部端子31とテスト信号専用外部端子4との間の電気的な接続が確実になされているときにのみ半導体集積回路素子1aが正しく実装されていると判断する(ステップ67)。電気的な接続がなされていない場合には不良メッセージを出力し(ステップ68)、実装確認試験を実施している作業者にその旨を知らせる。

【0052】そして、回路動作信号用外部端子31の短絡試験が終了すると、残るすべての回路動作信号用外部端子32-36についても同様に短絡試験が実施され、すべての回路動作信号用外部端子31-36について短絡試験が終了すると、実装確認試験が終了する。

【0053】また、一方の半導体集積回路素子1aの回路動作信号用外部端子31が他方の半導体集積回路素子1bの回路動作信号用外部端子3に接続されている場合(ステップ63)には、まず他方の半導体集積回路素子1bの接続先となる回路動作信号用外部端子3とテスト信号専用外部端子4との間を電気的に接続するスイッチ回路5のスイッチングトランジスタの制御信号番号を半導体集積回路素子1bの設計情報から取り出す(ステップ71)。本実施の形態において、半導体集積回路素子1aの回路動作信号用外部端子31には半導体集積回路素子1bの回路動作信号用外部端子35が接続されるので、前述の図8に示すように回路動作信号用外部端子35に対応する制御信号「010000」が取り出される。引き続き、インサーキットテスト21からプローブピン22を通して半導体集積回路素子1bのテスト信号専用外部端子6に前述の制御信号「010000」を印加する(ステップ72)。この制御信号「010000」はスイッチ制御回路41に入力され、スイッチ制御回路41はスイッチ回路5の回路動作信号用外部端子35とテスト信号専用外部端子4との間の導通及び非導通を行うスイッチングトランジスタを導通状態に維持する。この結果、接続先の他方の半導体集積回路素子1bにおいて回路動作信号用外部端子35とテスト信号専用外部端子4との間が電気的に接続される。

【0054】引き続き、一方の半導体集積回路素子1aの選択した回路動作信号用外部端子31に対応する制御信号を半導体集積回路素子1aの設計情報から取り出す(ステップ73)。前述の図8に示すように、回路動作信号用外部端子31を選択した場合には、半導体集積回路素子1aの設計情報から制御信号「000001」が取り出される。引き続き、インサーキットテスト21からプローブピン22を通して半導体集積回路素子1aのテスト信号専用外部端子6に前述の制御信号「000001」を印加する(ステップ74)。この制御信号「0

00001」はスイッチ制御回路41に入力され、スイッチ制御回路41はスイッチ回路5の回路動作信号用外部端子31とテスト信号専用外部端子4との間の導通及び非導通を行うスイッチングトランジスタを導通状態に維持する。つまり、回路動作信号用外部端子31とテスト信号専用外部端子4との間が電気的に接続される。

【0055】この結果、一方の半導体集積回路素子1aのテスト信号専用外部端子4は、半導体集積回路素子1aの回路動作信号用外部端子31、プリント配線基板7の配線パターン7a、半導体集積回路素子1bの回路動作信号用外部端子35のそれぞれを通して、接続先の他方の半導体集積回路素子1bのテスト信号専用外部端子4と電気的に接続される。そして、半導体集積回路素子1a、1bのそれぞれのテスト信号専用外部端子4間にインサーキットテスト21のプローブピン22を接触させ、インサーキットテスト21により双方のテスト信号専用外部端子4の間において短絡試験が実施される(ステップ75)。この短絡試験においては、半導体集積回路素子1a、1bのそれぞれのテスト信号専用外部端子4間の電気的な接続が確実になされているときにのみ半導体集積回路素子1a、1bのそれぞれが正しく実装されていると判断される(ステップ76)。電気的な接続がなされていない場合には不良メッセージを出力し(ステップ77)、実装確認試験を実施している作業者にその旨を知らせる。

【0056】そして、半導体集積回路素子1aにおいて回路動作信号用外部端子31の短絡試験が終了すると、残るすべての回路動作信号用外部端子32-36についても同様に短絡試験が実施され、すべての回路動作信号用外部端子31-36について短絡試験が終了すると、実装確認試験が終了する。

【0057】このように構成される半導体集積回路素子1a、1b及びこれらをプリント配線基板7に実装した基板回路装置においては、半導体集積回路素子1a、1bのそれぞれにスイッチ回路5、このスイッチ回路5の複数のスイッチングトランジスタのうち特定のスイッチングトランジスタを選択するスイッチ制御回路41及びこのスイッチ制御回路41を制御する制御信号が印加される制御信号用外部端子6を備える。そして、半導体集積回路素子1a、1bのそれぞれの特定の回路動作信号用外部端子3に対応した制御信号をスイッチ制御回路41に入力し、このスイッチ制御回路41によりスイッチ回路5の特定のスイッチングトランジスタを導通状態に維持し、特定の回路動作信号用外部端子3とテスト信号専用外部端子4との間の短絡試験を行い、実装確認試験を実施する。この結果、半導体集積回路素子1毎に個別の基板回路装置に即した機能試験パターンの必要がなくなり、機能試験パターンの作成に要した時間と労力とが減少できるので、実装確認試験コストが低減できる。

【0058】さらに、実装確認試験において、選択され

た特定の回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間の短絡試験中に、特定の回路動作信号用外部端子 3 に隣接する非選択の他の回路動作信号用外部端子 3 にプローブピン 22 を接触させ電流又は電圧変化を検出することにより、半田ブリッジによる半田接合不良が確認できる。

【0059】さらに、半導体集積回路素子 1 a の選択された特定の回路動作信号用外部端子 3 とそれに対応する半導体集積回路素子 1 b の回路動作信号用外部端子 3 との間を電氣的に導通させておき、加えて半導体集積回路素子 1 a の特定の回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間及び半導体集積回路素子 1 b の回路動作信号用外部端子 3 とテスト信号専用外部端子 4 との間を電氣的に導通されておくことにより、半導体集積回路素子 1 a のテスト信号専用外部端子 4 と半導体集積回路素子 1 b のテスト信号専用外部端子 4 との間において短絡試験が実施できる。この結果、半導体集積回路素子 1 a、1 b のそれぞれの実装確認試験が一度に実施できるとともに、半導体集積回路素子 1 a、1 b のそれぞれに接触されるプローブピン 22 がプリント配線基板 7 の配線パターン 7 a で代用できなくすることができるので、実装確認試験のコストが減少できる。

【0060】

【発明の効果】本発明は、第 1 に、インサーキットテストに機能試験パターンを必要とせず、実装確認試験が簡易かつ安価に実施できる半導体集積回路素子を提供できる。本発明は、第 2 に、インサーキットテストに機能試験パターンを必要とせず、実装確認試験が簡易、安価かつ高品質で実施できる半導体集積回路素子の実装確認試験方法を提供できる。本発明は、第 3 に、複数の半導体集積回路素子を実装する配線基板への電源の印加を必要とせず、オーバドライブによる半導体集積回路素子の損傷、破壊が防止できる半導体集積回路素子の実装確認試験方法を提供できる。さらに、本発明は、第 4 に、インサーキットテストのプローブピンを削減し、インサーキットテストの製作コストを削減することにより、実装確認試験コストを減少できる半導体集積回路素子の実装確認試験方法を提供できる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体集積回路素子の構成図である。

【図 2】 プリント配線基板に半導体集積回路素子を実装した後に行われる実装確認試験を説明する構成図である。

【図 3】 本発明の実施の形態 2 に係る半導体集積回路素子の構成図である。

【図 4】 プリント配線基板に半導体集積回路素子を実装した後に行われる実装確認試験を説明する構成図である。

【図 5】 本発明の実施の形態 3 に係る半導体集積回路素子の構成図である。

【図 6】 プリント配線基板に半導体集積回路素子を実装した後に行われる実装確認試験を説明する構成図である。

【図 7】 実装確認試験方法の手順を説明するフローチャートである。

【図 8】 半導体集積回路素子の設計情報の内容を示す図である。

【図 9】 本発明の実施の形態 4 に係る半導体集積回路素子を複数個実装した後に行われる実装確認試験を説明する構成図である。

【図 10】 実装確認試験方法の手順を説明するフローチャートである。

【図 11】 従来技術に係る一般的な半導体集積回路素子の構成図である。

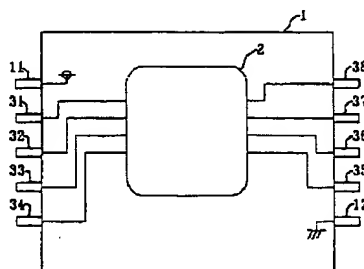
【図 12】 プリント配線基板に半導体集積回路素子を実装した後に行われる実装確認試験を説明する構成図である。

【図 13】 従来技術に係る半導体集積回路素子及びこの半導体集積回路素子の実装確認試験方法を説明する構成図である。

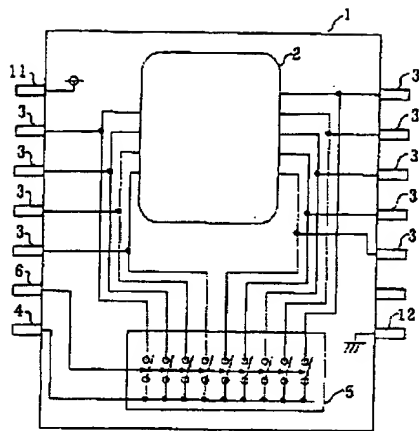
【符号の説明】

1、1 a、1 b 半導体集積回路素子、2 内部集積回路、3、31-36 回路動作信号用外部端子、4 テスト信号専用外部端子、5 スイッチ回路、6 制御信号用外部端子、7 プリント配線基板、7 a 配線パターン、11 電源用外部端子、12 グランド用外部端子、41 スイッチ制御回路。

【図 11】

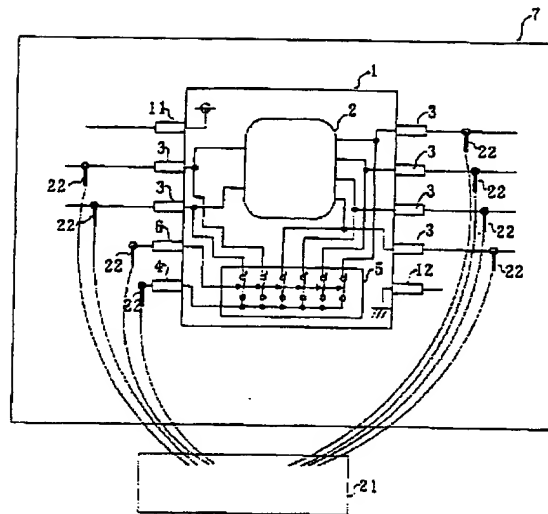


【図1】



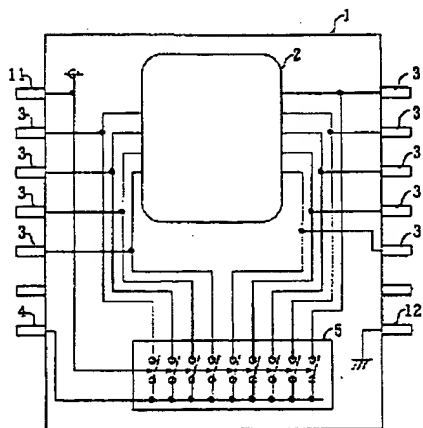
- 1 半導体集積回路素子
- 2 内部接続回路
- 3 回路動作信号用外部端子
- 4 テスト信号用外部端子
- 5 スイッチ回路
- 6 記憶信号用外部端子
- 11 電源用外部端子
- 12 グランド用外部端子

【図2】

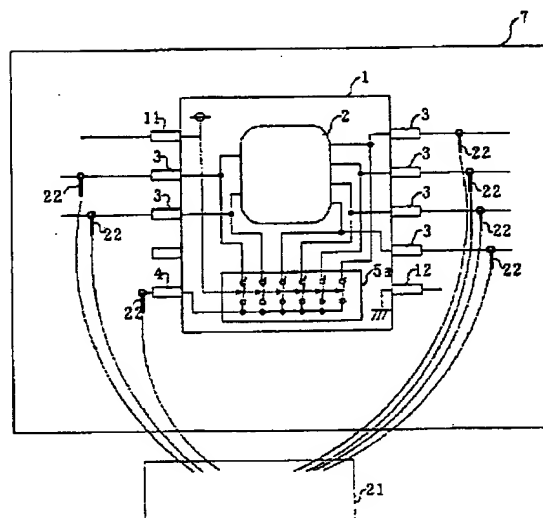


- 7 プリント回路基板
- 21 インサートテスト
- 22 プローブピン

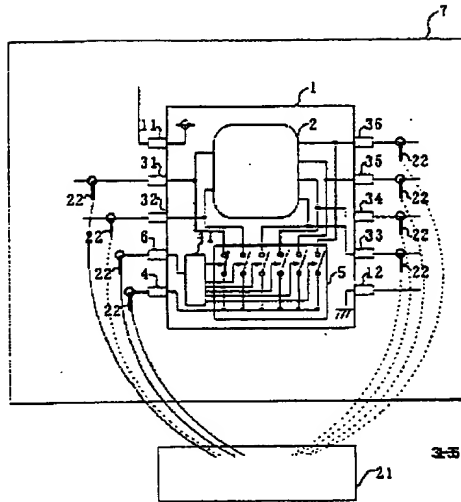
【図3】



【図4】

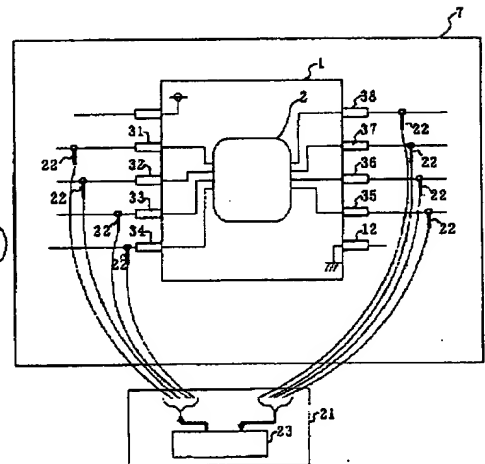


【圖 6】



3-5 回波检测信号用外部端子

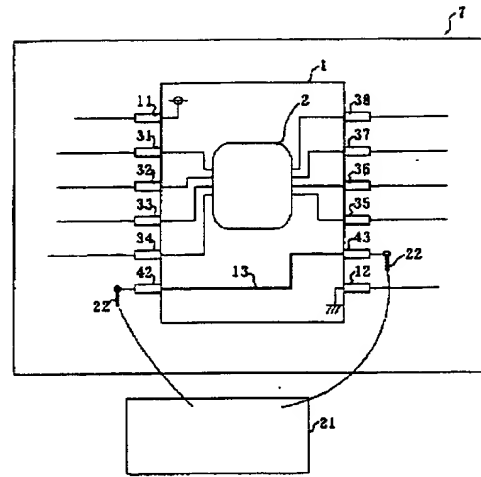
【图 1 2】



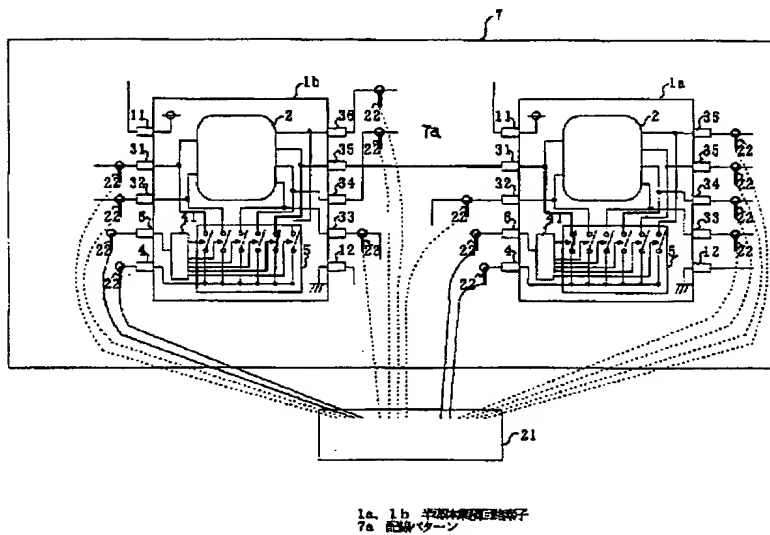
【図 8】

端子番号	回路動作信号用 外部端子	端子属性	スイッチ回路内の トランジスタ番号	選択信号の内容
1	11	VCC		
2	31	IO	1	000001
3	32	IO	2	000010
4	6	CONT		
5	4	MOUT		
6	12	GND		
7	33	IO	3	000100
8	34	IO	4	001000
9	35	IO	5	010000
10	36	IO	6	100000

【図 13】



【図 9】



【図10】

